

15. 4. 2004

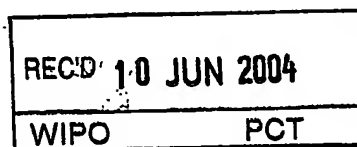
日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月17日

出願番号
Application Number: 特願2003-112916
[ST. 10/C]: [JP2003-112916]



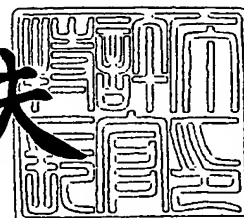
出願人
Applicant(s): 株式会社リコー

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 5月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 188915

【提出日】 平成15年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 5/00

【発明の名称】 信号伝送装置

【請求項の数】 12

【発明者】

 【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

 【氏名】 藤井 達也

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込1丁目3番6号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【選任した代理人】

 【識別番号】 100098280

 【弁理士】

 【氏名又は名称】 石野 正弘

【手数料の表示】

 【予納台帳番号】 163028

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号伝送装置

【特許請求の範囲】

【請求項 1】 入力された複数のデジタル入力信号を、1つの信号線で送受信を行う信号伝送装置において、

入力された前記複数のデジタル入力信号の各振幅を、所定の重み付けにしたがってそれぞれ電圧に変換し、該変換した電圧をすべて加算して送信信号を生成し出力する送信部と、

該送信部からの送信信号を受信し、該受信した信号を複数の所定の電圧で比較し、該各比較結果から前記各デジタル入力信号を生成して出力する受信部と、を備えることを特徴とする信号伝送装置。

【請求項 2】 前記送信部は、前記各デジタル入力信号と同じ数の入力抵抗を有する、演算増幅器で形成された反転増幅回路で構成され、該演算増幅器の反転入力端に接続される前記各入力抵抗の抵抗値は、前記各デジタル入力信号の振幅の重み付けに対応するように設定されることを特徴とする請求項 1 記載の信号伝送装置。

【請求項 3】 前記各入力抵抗をすべて並列に接続したときの合成抵抗値は、前記演算増幅器の帰還抵抗値と近似的に等しくなるようにした請求項 2 記載の信号伝送装置。

【請求項 4】 前記各入力抵抗の抵抗値の重み付けは、2 の倍数で行われることを特徴とする請求項 2 又は 3 記載の信号伝送装置。

【請求項 5】 前記演算増幅器の非反転入力端の電圧は、電源電圧の $1/2$ の電圧に近似的になるように設定されることを特徴とする請求項 2、3 又は 4 記載の信号伝送装置。

【請求項 6】 前記受信部は、
複数の所定の基準電圧をそれぞれ生成して出力する基準電圧発生回路と、
該各基準電圧と、受信した前記送信部からの信号とを比較し、該各比較結果を示すそれぞれの信号を出力する電圧比較回路と、
該電圧比較回路の各出力信号から所定の方法で前記各デジタル入力信号を合成

する論理回路と、
を備え、

前記基準電圧発生回路は、前記各デジタル入力信号の数を2倍して1減算した数の前記基準電圧をそれぞれ生成して出力することを特徴とする請求項1、2、3、4又は5記載の信号伝送装置。

【請求項7】 前記論理回路は、前記デジタル入力信号が2つの場合、重み付けが最も大きい前記デジタル入力信号を検出するための前記電圧比較回路からの出力信号に応じて、他のデジタル入力信号を検出するための前記電圧比較回路からの各出力信号の一方を無効にすることを特徴とする請求項6記載の信号伝送装置。

【請求項8】 前記受信部は、前記各デジタル入力信号の内、最も重み付けの大きいデジタル入力信号が所定の信号レベルである間、前記変換した電圧をすべて加算することを特徴とする請求項1記載の信号伝送装置。

【請求項9】 前記送信部は、対応する前記デジタル入力信号によって動作制御される各スイッチ回路と、対応する該スイッチ回路と直列に接続された各負荷抵抗とを備え、重み付けが最も大きいデジタル入力信号によって動作制御されるスイッチ回路に接続される負荷抵抗は、所定の電圧と該対応するスイッチ回路との間に接続され、他のスイッチ回路と対応する抵抗との直列回路は、重み付けが最も大きいデジタル入力信号によって動作制御されるスイッチ回路とそれぞれ並列に接続されることを特徴とする請求項8記載の信号伝送装置。

【請求項10】 重み付けが最も大きいデジタル入力信号によって動作制御されるスイッチ回路に接続される負荷抵抗は、他の負荷抵抗が並列にそれぞれ接続されたときの合成抵抗値と同じ抵抗値になるように設定されることを特徴とする請求項9記載の信号伝送装置。

【請求項11】 前記受信部は、
複数の所定の基準電圧をそれぞれ生成して出力する基準電圧発生回路と、
該各基準電圧と、受信した前記送信部からの信号とを比較し、該各比較結果を示すそれぞれの信号を出力する電圧比較回路と、
該電圧比較回路の各出力信号から所定の方法で前記各デジタル入力信号を合成

する論理回路と、

を備えることを特徴とする請求項 8、9 又は 10 記載の信号伝送装置。

【請求項 12】 前記論理回路は、前記デジタル入力信号が 2 つの場合、前記電圧比較回路からの各出力信号を各デジタル入力信号として出力することを特徴とする請求項 11 記載の信号伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のデジタル信号を多重化して、1 本の信号線で送受信を行う信号伝送装置に関するものである。

【0002】

【従来の技術】

従来、複数の信号を送受信するには、信号ごとに信号線を設けていたため、信号の数に比例して信号線の本数が増え、送受信を行う機器間の配線が複雑になり、機器の大型化及びコストアップの原因になっていた。そこで、複数の信号を時系列に並べて、1 本の信号でデータを送受信するシリアル通信が行われるようになった。シリアル通信の採用で信号線の本数は飛躍的に少なくなったが、シリアル通信は複数の信号をシリアルデータに変換して送るため、送信部ではパラレル-シリアル変換回路が、受信部ではシリアル-パラレル変換回路が必要となり、回路規模が増大し、装置の大型化とコストアップを伴っていた。

【0003】

更に、複数の信号を時分割で送るため、伝送速度が遅くなるという問題があった。また、シリアル通信の場合においても、データ信号の他に、シフト信号として用いられるクロック信号と、時系列で送られてきたシリアル信号を元のパラレル信号に変換するためのラッチを行うロード信号が必要であり、最低 3 本の信号線が必要であった。このため、伝送する信号が数本といったように少ない場合は、前記シリアル通信を採用しても信号本数はあまり減らずに回路規模が大きくなり、メリットが得られない場合があった。そこで、1 本の信号線に、データ信号、クロック信号、及びロード信号を重ね合わせて信号波形の波高を変化させるこ

とにより多重化して送信するようにしていた（例えば、特許文献1参照。）。

【0004】

【特許文献1】

特開平11-355255号公報

【0005】

【発明が解決しようとする課題】

しかし、前記のようにした場合、信号線を1本にすることができたが、データ線に複数のデータを時系列でシリアルに送っているため、シリアルデータをパラレル信号に変換する時間が必要で高速データ転送が行うことができなかった。更に、このようにした場合においても、送信部でのパラレルーシリアル変換回路と、受信部でのシリアルーパラレル変換回路が必要であった。

【0006】

本発明は、上記のような問題を解決するためになされたものであり、送信部でのパラレルーシリアル変換及び受信部でのシリアルーパラレル変換をそれぞれ行うことなく、1本の信号線で複数のデータを伝送することができる信号伝送装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

この発明に係る信号伝送装置は、入力された複数のデジタル入力信号を、1つの信号線で送受信を行う信号伝送装置において、

入力された前記複数のデジタル入力信号の各振幅を、所定の重み付けにしたがってそれぞれ電圧に変換し、該変換した電圧をすべて加算して送信信号を生成し出力する送信部と、

該送信部からの送信信号を受信し、該受信した信号を複数の所定の電圧で比較し、該各比較結果から前記各デジタル入力信号を生成して出力する受信部と、を備えるものである。

【0008】

具体的には、前記送信部は、前記各デジタル入力信号と同じ数の入力抵抗を有する、演算増幅器で形成された反転増幅回路で構成され、該演算増幅器の反転入

力端に接続される前記各入力抵抗の抵抗値は、前記各デジタル入力信号の振幅の重み付けに対応するように設定されるようにしてもよい。

【0009】

この場合、前記各入力抵抗をすべて並列に接続したときの合成抵抗値は、前記演算増幅器の帰還抵抗値と近似的に等しくなるようにしてもよい。

【0010】

一方、前記各入力抵抗の抵抗値の重み付けは、2の倍数で行われるようにしてもよい。

【0011】

また、前記演算増幅器の非反転入力端の電圧は、電源電圧の $1/2$ の電圧に近似的になるように設定されるようにしてもよい。

【0012】

具体的には、前記受信部は、

複数の所定の基準電圧をそれぞれ生成して出力する基準電圧発生回路と、

該各基準電圧と、受信した前記送信部からの信号とを比較し、該各比較結果を示すそれぞれの信号を出力する電圧比較回路と、

該電圧比較回路の各出力信号から所定の方法で前記各デジタル入力信号を合成する論理回路と、

を備え、

前記基準電圧発生回路は、前記各デジタル入力信号の数を2倍して1減算した数の前記基準電圧をそれぞれ生成して出力するようにした。

【0013】

この場合、前記論理回路は、前記デジタル入力信号が2つの場合、重み付けが最も大きい前記デジタル入力信号を検出するための前記電圧比較回路からの出力信号に応じて、他のデジタル入力信号を検出するための前記電圧比較回路からの各出力信号の一方を無効にするようにしてもよい。

【0014】

また、前記受信部は、前記各デジタル入力信号の内、最も重み付けの大きいデジタル入力信号が所定の信号レベルである間、前記変換した電圧をすべて加算す

るようにした。

【0015】

また、前記送信部は、対応する前記デジタル入力信号によって動作制御される各スイッチ回路と、対応する該スイッチ回路と直列に接続された各負荷抵抗とを備え、重み付けが最も大きいデジタル入力信号によって動作制御されるスイッチ回路に接続される負荷抵抗は、所定の電圧と該対応するスイッチ回路との間に接続され、他のスイッチ回路と対応する抵抗との直列回路は、重み付けが最も大きいデジタル入力信号によって動作制御されるスイッチ回路とそれぞれ並列に接続されるようにしてもよい。

【0016】

この場合、重み付けが最も大きいデジタル入力信号によって動作制御されるスイッチ回路に接続される負荷抵抗は、他の負荷抵抗が並列にそれぞれ接続されたときの合成抵抗値と同じ抵抗値になるように設定されるようにした。

【0017】

また、具体的には、前記受信部は、
複数の所定の基準電圧をそれぞれ生成して出力する基準電圧発生回路と、
該各基準電圧と、受信した前記送信部からの信号とを比較し、該各比較結果を示すそれぞれの信号を出力する電圧比較回路と、
該電圧比較回路の各出力信号から所定の方法で前記各デジタル入力信号を合成する論理回路と、
を備えるようにした。

【0018】

この場合、前記論理回路は、前記デジタル入力信号が2つの場合、前記電圧比較回路からの各出力信号を各デジタル入力信号として出力するようにしてもよい。

【0019】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態。

図1は、本発明の第1の実施の形態における信号伝送装置の例を示した回路図である。なお、図1では、説明を簡単にするために、2つのデジタル入力信号を多重化して伝送する場合を例にして説明する。

【0020】

図1において、信号伝送装置1は、入力された2つのデジタル入力信号 A_i 及び B_i の各振幅を、所定の重み付けにしたがってそれぞれ電圧に変換し、該変換した各電圧を加算して送信信号 S_o を生成し出力する送信部2と、信号線5を介して該送信部2からの送信信号 S_o を受信し、該受信信号を各所定の基準電圧 $V_{t1} \sim V_{t3}$ と比較し、該比較結果に応じてデジタル入力信号 A_i 及び B_i を生成して出力する受信部3とで構成されている。

【0021】

送信部2は、演算増幅器AMP1と抵抗 $R_1 \sim R_5$ で構成された反転増幅回路からなる。デジタル入力信号 A_i は、入力抵抗をなす抵抗 R_1 を介して演算増幅器AMP1の反転入力端に入力され、デジタル入力信号 B_i は、入力抵抗をなす抵抗 R_2 を介して演算増幅器AMP1の反転入力端に入力されている。一方、電源電圧 V_{dd} と接地電圧との間には、抵抗 R_4 と抵抗 R_5 が直列に接続され、抵抗 R_4 と抵抗 R_5 との接続部は、演算増幅器AMP1の非反転入力端に接続され、演算増幅器AMP1の非反転入力端に所定のバイアス電圧 V_s が入力されている。更に、演算増幅器AMP1の出力端と反転入力端との間には帰還抵抗をなす抵抗 R_3 が接続され、演算増幅器AMP1の出力端は、送信部2の送信端子OUTに接続されている。送信端子OUTは、信号線5によって受信部3の受信端子INに接続されている。

【0022】

次に、受信部3は、電圧比較器CMP1～CMP3、NAND回路N1～N3、インバータINV及び抵抗 $R_6 \sim R_9$ で構成されている。なお、抵抗 $R_6 \sim R_9$ は基準電圧発生回路を、電圧比較器CMP1～CMP3は電圧比較回路を、NAND回路N1～N3及びインバータINVは論理回路をそれぞれなす。受信端子INに入力された信号は、電圧比較器CMP1～CMP3の各反転入力端にそれぞれ入力される。電源電圧 V_{dd} と接地電圧との間には、抵抗 $R_6 \sim R_9$ が直

列に接続されており、抵抗 R 6 と抵抗 R 7 との接続部は電圧比較器 CMP 1 の非反転入力端に、抵抗 R 7 と抵抗 R 8 との接続部は電圧比較器 CMP 2 の非反転入力端に、抵抗 R 8 と抵抗 R 9 との接続部は電圧比較器 CMP 3 の非反転入力端にそれぞれ接続されている。

【0023】

電圧比較器 CMP 1 の出力端は NAND 回路 N 1 の一方の入力端に接続され、電圧比較器 CMP 2 の出力端は、受信部 3 の一方の出力端をなすと共にインバータ INV を介して NAND 回路 N 1 の他方の入力端に接続されている。更に、電圧比較器 CMP 2 の出力端は、NAND 回路 N 2 の一方の入力端に接続され、NAND 回路 N 2 の他方の入力端には電圧比較器 CMP 3 の出力端が接続されている。NAND 回路 N 1 及び N 2 の各出力端は、NAND 回路 N 3 の対応する入力端にそれぞれ接続され、NAND 回路 N 3 の出力端が受信部 3 の他方の出力端をなす。

【0024】

このような構成において、送信部 2 の送信端子 OUT から出力される送信信号 S o の電圧 V o は、下記 (1) 式で示すことができる。

$$V_o = V_s - R_3 \times \{ (V_{Ai} - V_s) / R_1 + (V_{Bi} - V_s) / R_1 \} \dots\dots\dots (1)$$

なお、(1) 式において、R 1 は抵抗 R 1 の抵抗値を、R 3 は抵抗 R 3 の抵抗値をそれぞれ示し、V A i は、デジタル入力信号 A i のハイレベル又はローレベル時の電圧を、V B i は、デジタル入力信号 B i のハイレベル又はローレベル時の電圧をそれぞれ示している。

【0025】

ここで、電源電圧 V d d を 6 V、バイアス電圧 V s を 3 V、抵抗 R 1 の抵抗値を 15 k Ω、抵抗 R 2 の抵抗値を 30 k Ω、抵抗 R 3 の抵抗値を 10 k Ω とする。また、デジタル入力信号 A i 及び B i において、ハイレベルの電圧をそれぞれ 6 V、ローレベルの電圧をそれぞれ 0 V とすると、デジタル入力信号 A i 及び B i の各信号レベルの組み合わせにおける出力電圧 V o は図 2 のようになる。バイアス電圧 V s を電源電圧 V d d の 1/2 の電圧に設定し、抵抗 R 1 と抵抗 R 2 の

抵抗比を 1 : 2 にし、抵抗 R 3 の抵抗値を、抵抗 R 1 と抵抗 R 2 を並列に接続した場合の合成抵抗値と等しい値にした場合、図 2 で示すように、出力電圧 V_o は、デジタル入力信号 A_i とデジタル入力信号 B_i の各電圧の組み合わせに対して、均等な電圧差が得られる。この関係は入力信号の数が増えても同様である。

【0026】

すなわち、図 2 において、デジタル入力信号 A_i 及び B_i が共にハイレベルである状態 M 1 の場合、出力電圧 V_o は所定値 V_1 である 0 V に、デジタル入力信号 A_i がハイレベルでありデジタル入力信号 B_i がローレベルである状態 M 2 の場合、出力電圧 V_o は所定値 V_2 である 2 V にそれぞれなる。また、デジタル入力信号 A_i がローレベルでありデジタル入力信号 B_i がハイレベルである状態 M 3 の場合、出力電圧 V_o は所定値 V_3 である 4 V に、デジタル入力信号 A_i 及び B_i が共にローレベルである状態 M 4 の場合、出力電圧 V_o は所定値 V_4 である 6 V にそれぞれなる。

【0027】

図 3 は、図 1 の各部の信号の波形例を示したタイミングチャートである。

図 3 において、デジタル入力信号 A_i とデジタル入力信号 B_i が共にローレベルの区間 a では出力電圧 V_o は 6 V である。区間 b でデジタル入力信号 B_i がハイレベルになると、出力電圧 V_o は 4 V になり、区間 c でデジタル入力信号 A_i もハイレベルになると、出力電圧 V_o は 0 V になる。次に、区間 d でデジタル入力信号 B_i がローレベルになると、出力電圧 V_o は 2 V になる。区間 e 以下も同様であり、デジタル入力信号 A_i とデジタル入力信号 B_i の信号レベルが変化すると、出力電圧 V_o の電圧値が変化し、しかもデジタル入力信号 A_i とデジタル入力信号 B_i におけるすべての信号レベルの組み合わせに対して、出力電圧 V_o は異なる電圧値を出力するようになっていることが分かる。

【0028】

次に、受信部 3 において、基準電圧 V_{t1} が 1 V に、基準電圧 V_{t2} が 3 V に、基準電圧 V_{t3} が 5 V にそれぞれなるように、抵抗 R 6 ~ R 9 の各抵抗値が設定されている。すなわち、基準電圧 V_{t1} は図 2 における状態 M 1 と状態 M 2 における各出力電圧 V_o の値の中間値に、基準電圧 V_{t2} は図 2 における状態 M 2

と状態M3における各出力電圧 V_o の値の中間値に、基準電圧 V_{t3} は図2における状態M3と状態M4における各出力電圧 V_o の値の中間値にそれぞれなるように設定されている。

【0029】

図3から分かるように、電圧比較器CMP2の出力端からはデジタル入力信号 A_i と同じ信号が出力信号 A_o として出力され、該出力信号 A_o がハイレベルのときは、電圧比較器CMP3の出力端からデジタル入力信号 B_i と同じ信号が出力され該信号がNAND回路N2から出力される。また、出力信号 A_o がローレベルのときは、電圧比較器CMP1の出力端からデジタル入力信号 B_i と同じ信号が出力され該信号がNAND回路N1から出力され、NAND回路N1及びN2の各出力信号がNAND回路N3で合成されてデジタル入力信号 B_i と同じ信号が出力信号 B_o として出力される。

【0030】

このように、本第1の実施の形態における信号伝送装置は、送信部2で、各デジタル入力信号 A_i 及び B_i の振幅を所定の重み付けにしたがってそれぞれ電圧に変換し、該変換した電圧をすべて加算してそれぞれ異なる所定の電圧 $V_1 \sim V_4$ を生成して受信部3に伝送し、受信部3で送信部2からの信号に対して所定の基準電圧 $V_{t1} \sim V_{t3}$ との電圧比較を行い、該比較結果からデジタル入力信号 A_i と同じ出力信号 A_o を、デジタル入力信号 B_i と同じ出力信号 B_o をそれぞれ生成して出力するようにした。このことから、すべてのデジタル入力信号を同時に再生することができ、従来のようなシリアル-パラレル変換による時間的ロスをなくすることができ、高速な信号処理を行うことができる。

【0031】

なお、前記第1の実施の形態では、デジタル入力信号が2つの場合を例にして説明したが、これは一例であり、本発明はこれに限定するものではなく、複数のデジタル入力信号に対して適用するものである。また、前記第1の実施の形態では、各抵抗値の重み付けを2の倍数で行う場合を例にして説明したが、これは一例であり、本発明はこれに限定するものではない。

【0032】

第2の実施の形態.

ある特定の回路に信号を送る際、該特定の回路をイネーブル(enable)にする信号がある場合は、該イネーブル信号がアクティブになったときだけ、他の制御信号を多重化させて伝送するようにすれば、簡単な回路で信号の多重化が行える。すなわち、前記第1の実施の形態において、送信部2は、デジタル入力信号A_iがローレベル又はハイレベルのときだけ、デジタル入力信号A_i及びB_iを多重化させて受信部3に伝送するようにしてもよく、このようにしたものを本発明の第2の実施の形態とする。

【0033】

図4は、本発明の第2の実施の形態における信号伝送装置の例を示した回路図である。なお、図4では、図1と同じもの又は同様のものは同じ符号で示しており、図4においても説明を簡単にするために、2つのデジタル入力信号を多重化して伝送する場合を例にして説明する。

【0034】

図4において、信号伝送装置1aは、入力された2つのデジタル入力信号A_i及びB_iの内、最も重み付けの大きい例えばデジタル入力信号A_iがローレベルのときにおけるデジタル入力信号B_iの各振幅を、所定の重み付けにしたがってそれぞれ電圧に変換し、該変換したデジタル入力信号A_iのローレベルの電圧に該変換したデジタル入力信号B_iの電圧を加算して送信信号S_{oA}を生成し出力する信号送信部2aと、信号線5を介して該送信部2aからの送信信号S_{oA}を受信し、該受信信号を各所定の基準電圧V_{t4}及びV_{t5}と比較し、該比較結果に応じてデジタル入力信号A_i及びB_iを生成して出力する受信部3aとで構成されている。

【0035】

送信部2aは、スイッチ回路をそれぞれなすNMOSトランジスタM1、M2と、負荷抵抗をそれぞれなす抵抗R11、R12とで構成されている。デジタル入力信号A_iは、NMOSトランジスタM1のゲートに入力され、デジタル入力信号B_iは、NMOSトランジスタM2のゲートに入力されている。一方、電源電圧V_{dd}と接地電圧との間には、抵抗R11とNMOSトランジスタM1が直

列に接続され、抵抗R12とNMOSトランジスタM2の直列回路がNMOSトランジスタM1に並列に接続されている。NMOSトランジスタM1及び抵抗R11, R12の接続部は、送信部2aの送信端子OUTaに接続されている。送信端子OUTaは、信号線5によって受信部3aの受信端子INaに接続されている。

【0036】

次に、受信部3aは、電圧比較器CMP11, CMP12及び抵抗R13～R15で構成されている。なお、抵抗R13～R15は基準電圧発生回路を、電圧比較器CMP11, CMP12は電圧比較回路をそれぞれなし、電圧比較器CMP11及びCMP12の各出力端にそれぞれ接続された各配線が擬似的に論理回路を構成するものとする。受信端子INaに入力された信号は、電圧比較器CMP11及びCMP12の各反転入力端にそれぞれ入力される。電源電圧Vddと接地電圧との間には、抵抗R13～R15が直列に接続されており、抵抗R13と抵抗R14との接続部は電圧比較器CMP11の非反転入力端に、抵抗R14と抵抗R15との接続部は電圧比較器CMP12の非反転入力端にそれぞれ接続されている。電圧比較器CMP11の出力端は、受信部3aの一方の出力端をなすと共に電圧比較器CMP12の出力端が受信部3aの他方の出力端をなす。

【0037】

このような構成において、電源電圧Vddを4Vにし、抵抗R11と抵抗R12の抵抗値を同じにした場合におけるデジタル入力信号Ai及びBiの各信号レベルの組み合わせにおける出力電圧VoAは図5のようになる。図5から分かるように、抵抗R11と抵抗R12の抵抗値を同じにすることで、2つのデジタル入力信号Ai及びBiの振幅変化を均等に割り振ることができる。

【0038】

すなわち、図5において、デジタル入力信号Ai及びBiが共にローレベルである状態M4aの場合、出力電圧VoAは所定値V3aである4Vに、デジタル入力信号Aiがローレベルでありデジタル入力信号Biがハイレベルである状態M3aの場合、出力電圧VoAは所定値V2aである2Vにそれぞれなる。また、デジタル入力信号Aiがハイレベルでありデジタル入力信号Biがローレベル

である状態M2a、及びデジタル入力信号Ai及びBiが共にハイレベルである状態M1aの場合、出力電圧VoAは所定値V1aである0Vにそれぞれなる。

【0039】

図6は、図4の各部の信号の波形例を示したタイミングチャートであり、図6を用いて図4の各部の動作をもう少し詳細に説明する。

デジタル入力信号Aiがハイレベル(4V)の場合は、スイッチング素子であるNMOSトランジスタM1はオンし、デジタル入力信号Biの信号レベルに関係なく、送信端子OUTaからは0Vの送信信号SoAを出力する。デジタル入力信号Aiがローレベル(0V)になると、送信端子OUTaからはデジタル入力信号Biの信号レベルに応じた2V又は4Vのいずれか一方の値の送信信号SoAを出力する。すなわち、デジタル入力信号Aiがローレベルの場合、デジタル入力信号Biがローレベル(0V)のときは送信信号SoAが4Vに、デジタル入力信号Biがハイレベル(4V)のときは送信信号SoAが2Vにそれぞれなる。

【0040】

一方、受信部3aにおいて、基準電圧Vt4が1Vに、基準電圧Vt5が3Vにそれぞれなるように、抵抗R13～R15の各抵抗値が設定されている。すなわち、基準電圧Vt4は所定値V1aと所定値V2aとの中間値に、基準電圧Vt5は所定値V2aと所定値V3aとの中間値にそれぞれなるように設定されている。図6から分かるように、電圧比較器CMP11は、出力電圧VoAと基準電圧Vt5との比較結果に応じた信号レベルの信号Boを出力し、該出力信号Boがデジタル入力信号Biと同じ信号になる。また、電圧比較器CMP12は、出力電圧VoAと基準電圧Vt4との比較結果に応じた信号レベルの信号Aoを出力し、該出力信号Aoがデジタル入力信号Aiと同じ信号になる。

【0041】

なお、デジタル入力信号Aiがハイレベルの場合に、デジタル入力信号Biを多重化させる場合は、図4において、インバータでデジタル入力信号Aiの信号レベルを反転させてNMOSトランジスタM1のゲートに入力するようにするか、又はNMOSトランジスタM1及びM2をPMOSトランジスタに置き換えるようにすることで簡単に対応することができる。このように、多重化させる信号

が2つの場合はきわめて簡単な回路で信号を伝送することができる。

【0042】

図4～図6の説明では入力信号が2つの場合を例にして説明したが、入力信号が3つの場合、図4は図7のようになる。なお、図7では、図4と同じもの又は同様のものは同じ符号で示しており、ここではその説明を省略すると共に図4との相違点のみ説明する。

図7における図4との相違点は、図4の送信部2aにスイッチング素子であるNMOSトランジスタM3及び抵抗R21を追加し、図4の受信部3aにおいて抵抗R13～R15の代わりに抵抗R22～R26を設けると共に、電圧比較器CMP13、CMP14及び論理回路11を追加したことにある。

【0043】

図7において、信号伝送装置1bは、入力された3つのデジタル入力信号A_i、B_i及びC_iの内、最も重み付けの大きい例えばデジタル入力信号A_iがローレベルのときにおけるデジタル入力信号B_i及びC_iの各振幅を、所定の重み付けにしたがってそれぞれ電圧に変換し、該変換したデジタル入力信号A_iのローレベルの電圧にデジタル入力信号B_i及びC_iの各電圧を加算して送信信号S_oBを生成し出力する信号送信部2bと、信号線5を介して該送信部2bからの送信信号S_oBを受信し、該受信信号を各所定の基準電圧V_t6～及びV_t9と比較し、該比較結果に応じてデジタル入力信号A_i、B_i及びC_iを生成し出力する受信部3bとで構成されている。

【0044】

送信部2bは、スイッチ回路をそれぞれなすNMOSトランジスタM1～M3と、負荷抵抗をそれぞれなす抵抗R11、R12、R21とで構成されている。デジタル入力信号C_iは、NMOSトランジスタM3のゲートに入力され、抵抗R12とNMOSトランジスタM2の直列回路に並列に抵抗R21とNMOSトランジスタM3の直列回路が接続されている。NMOSトランジスタM1及び抵抗R11、R12、R21の接続部は、送信部2bの送信端子OUTbに接続されている。送信端子OUTbは、信号線5によって受信部3bの受信端子INbに接続されている。

【0045】

次に、受信部 3b は、電圧比較器 CMP 11～CMP 14、抵抗 R 22～R 26 及び論理回路 11 で構成されている。なお、抵抗 R 22～R 26 は基準電圧発生回路を、電圧比較器 CMP 11～CMP 14 は電圧比較回路をそれぞれなす。受信端子 INb に入力された信号は、電圧比較器 CMP 11～CMP 14 の各反転入力端にそれぞれ入力される。電源電圧 Vdd と接地電圧との間には、抵抗 R 22～R 26 が直列に接続されており、抵抗 R 22 と抵抗 R 23 との接続部は電圧比較器 CMP 11 の非反転入力端に、抵抗 R 23 と抵抗 R 24 との接続部は電圧比較器 CMP 12 の非反転入力端にそれぞれ接続されている。

【0046】

更に、抵抗 R 24 と抵抗 R 25 との接続部は電圧比較器 CMP 13 の非反転入力端に、抵抗 R 25 と抵抗 R 26 との接続部は電圧比較器 CMP 14 の非反転入力端にそれぞれ接続されている。電圧比較器 CMP 11～CMP 14 の各出力端は、論理回路 11 に接続され、論理回路 11 は、4 つの電圧比較器 CMP 11～CMP 14 の各出力信号からデジタル入力信号 Ai, Bi, Ci をそれぞれ生成し、受信部 3b の対応する各出力端から出力信号 Ao, Bo, Co としてそれぞれ出力する。

【0047】

このような構成において、電源電圧 Vdd を 4V、抵抗 R 11 を 10k Ω 、抵抗 R 12 を 15k Ω 、抵抗 R 21 を 30k Ω にした場合、デジタル入力信号 Ai, Bi, Ci の各信号レベルの組み合わせに対する出力電圧 VoB は図 8 のようになる。図 8 から分かるように、抵抗 R 12 と抵抗 R 21 との抵抗比を 1:2 にし、抵抗 R 12 抵抗 R 21 を並列に接続し該合成抵抗値を、抵抗 R 11 の抵抗値とほぼ等しくなるようにすると、送信端子 OUTb から出力される出力電圧 VoB の電圧変化を比較的大きくすることができる。

【0048】

一方、各基準電圧 Vt6～Vt9 は、図 8 に示す出力電圧 VoB の中間電圧に設定すればよく、例えば、図 8 のような場合、基準電圧 Vt6 が 1V、基準電圧 Vt7 が 2.2V、基準電圧 Vt8 が 2.7V、基準電圧 Vt9 が 3.5V になる

ように抵抗 $R_{22} \sim R_{26}$ の各抵抗値を設定する。論理回路 11 は、4 つの電圧比較器 $CMP_{11} \sim CMP_{14}$ の各出力信号からデジタル入力信号 A_i , B_i , C_i をそれぞれ生成して、出力信号 A_o , B_o , C_o としてそれぞれ出力する。

【0049】

このように、本第 2 の実施の形態における信号伝送装置は、送信部 2a で、所定の 1 つの入力信号がローレベル又はハイレベルのときだけ、各デジタル入力信号の振幅に所定の重み付けにしたがってそれぞれ電圧に変換し、該変換した電圧をすべて加算してそれぞれ異なる所定の電圧を生成して受信部に伝送し、受信部で送信部からの信号に対して各所定の基準電圧との電圧比較を行い、該比較結果から各デジタル入力信号と同じ出力信号をそれぞれ生成して出力するようにした。このことから、前記第 1 の実施の形態と同様の効果を得ることができると共に、ある特定の回路をイネーブルにするイネーブル信号がアクティブになったときだけ、他の制御信号を多重化させて伝送する場合は、回路の簡素化を図ることができる。

【0050】

【発明の効果】

上記の説明から明らかなように、本発明の信号伝送装置によれば、入力された複数のデジタル入力信号の振幅に対して、それぞれ所定の重み付けを行って電圧に変換し、該変換した各デジタル入力信号の電圧を加算して送信するようにしたことから、1 本の信号線で複数のデジタル入力信号の情報を伝送することができ、配線のためのスペースやコストを低減することができる。更に、受信側ですべてのデジタル入力信号を同時に再生することができ、従来のようなシリアルーパラレル変換による時間的ロスをなくすことができ、高速な信号処理が行うことができる。

また、複数のデジタル入力信号の内、最も重み付けの大きいデジタル入力信号がハイレベル又はローレベルのどちらか一方の信号レベルのときだけ他のデジタル入力信号を送る場合は、送受信回路をきわめて簡単な回路で構成することができ、小型化とコストの低減を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態における信号伝送装置の例を示した回路図である。

【図 2】 図 1 におけるデジタル入力信号 A_i 及び B_i の各信号レベルの組み合わせにおける出力電圧 V_o の電圧値の例を示した図である。

【図 3】 図 1 の各部の信号の波形例を示したタイミングチャートである。

【図 4】 本発明の第 2 の実施の形態における信号伝送装置の例を示した回路図である。

【図 5】 図 4 におけるデジタル入力信号 A_i 及び B_i の各信号レベルの組み合わせにおける出力電圧 V_o の電圧値の例を示した図である。

【図 6】 図 4 の各部の信号の波形例を示したタイミングチャートである。

【図 7】 本発明の第 2 の実施の形態における信号伝送装置の他の例を示した回路図である。

【図 8】 図 4 におけるデジタル入力信号 A_i 、 B_i 及び C_i の各信号レベルの組み合わせにおける出力電圧 V_o の電圧値の例を示した図である。

【符号の説明】

1, 1 a, 1 b 信号伝送装置

2, 2 a, 2 b 送信部

3, 3 a, 3 b 受信部

5 信号線

11 倫理回路

AMP 1 演算増幅器

R 1 ~ R 9, R 11 ~ R 15, R 21 ~ R 26 抵抗

CMP 1 ~ CMP 3, CMP 11 ~ CMP 14 電圧比較器

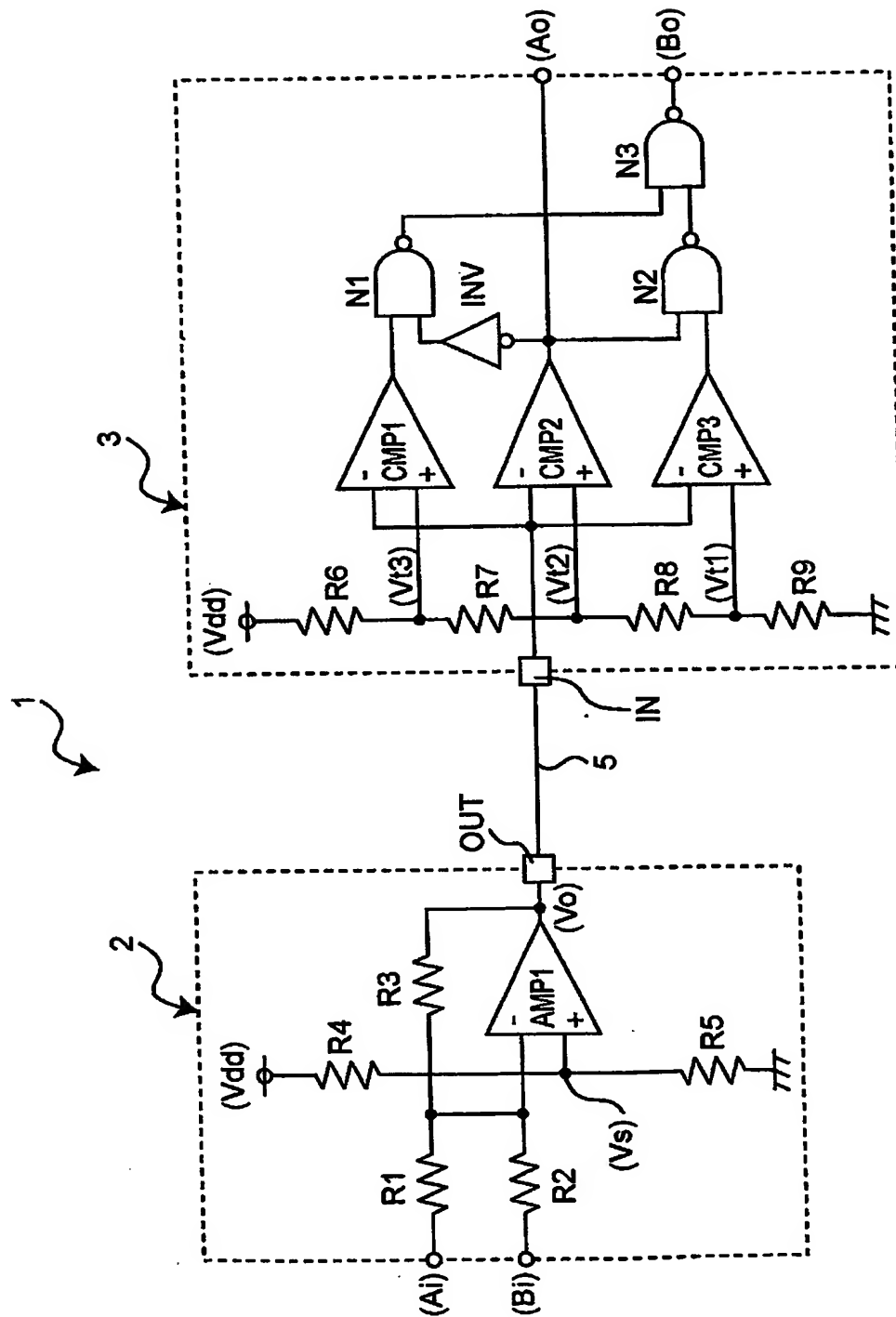
M 1 ~ M 3 NMOS トランジスタ

N 1 ~ N 3 NAND 回路

INV インバータ

【書類名】 図面

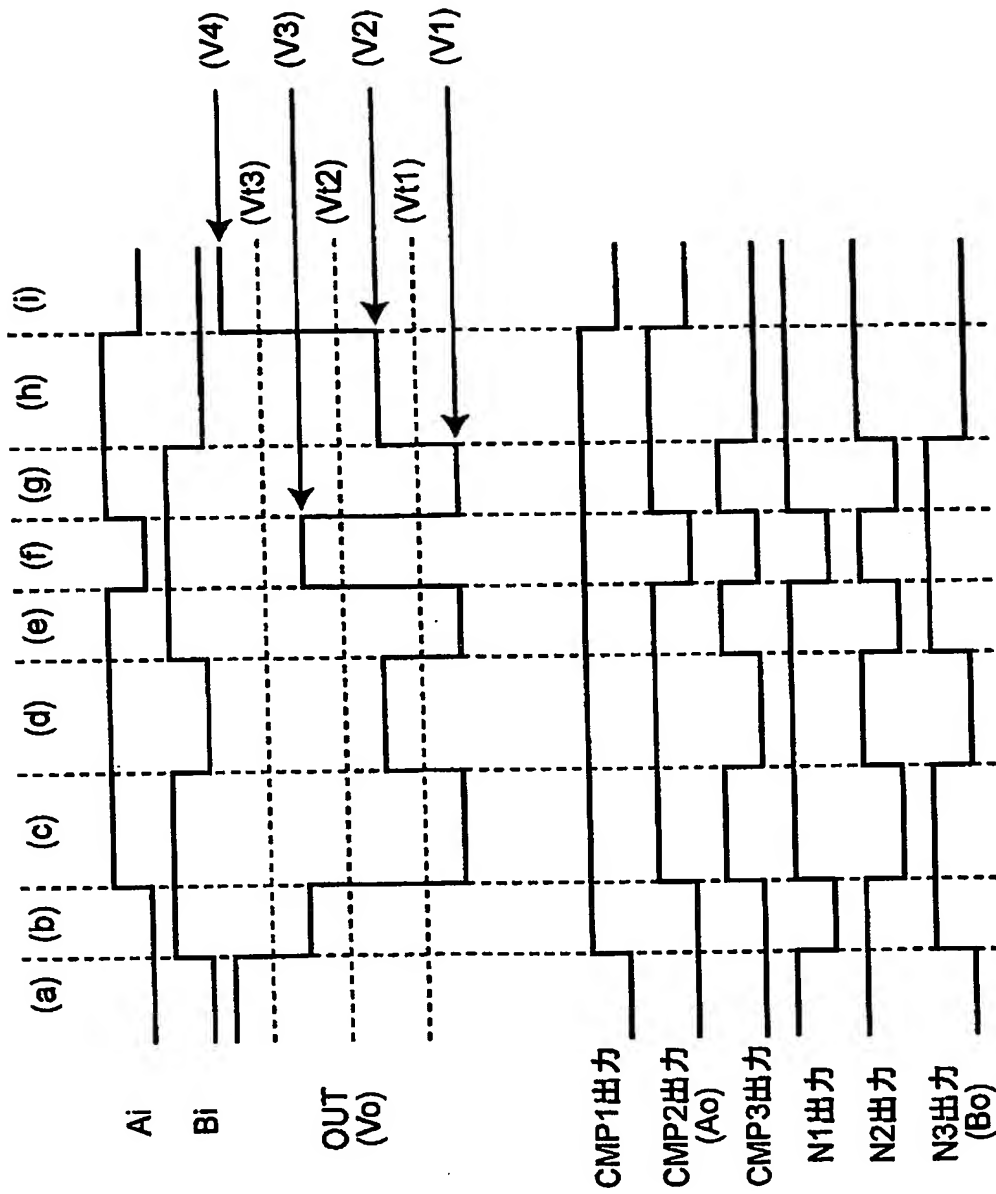
【図 1】



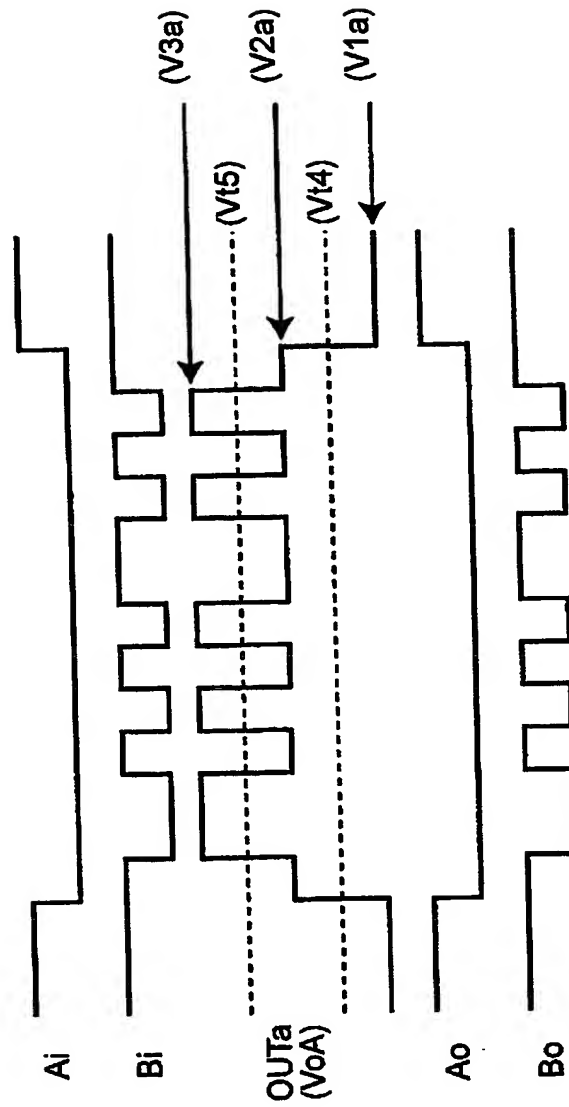
【図 2】

状態	$A_i(V)$	$B_i(V)$	$V_o(V)$
M1	6	6	0(=V1)
M2	6	0	2(=V2)
M3	0	6	4(=V3)
M4	0	0	6(=V4)

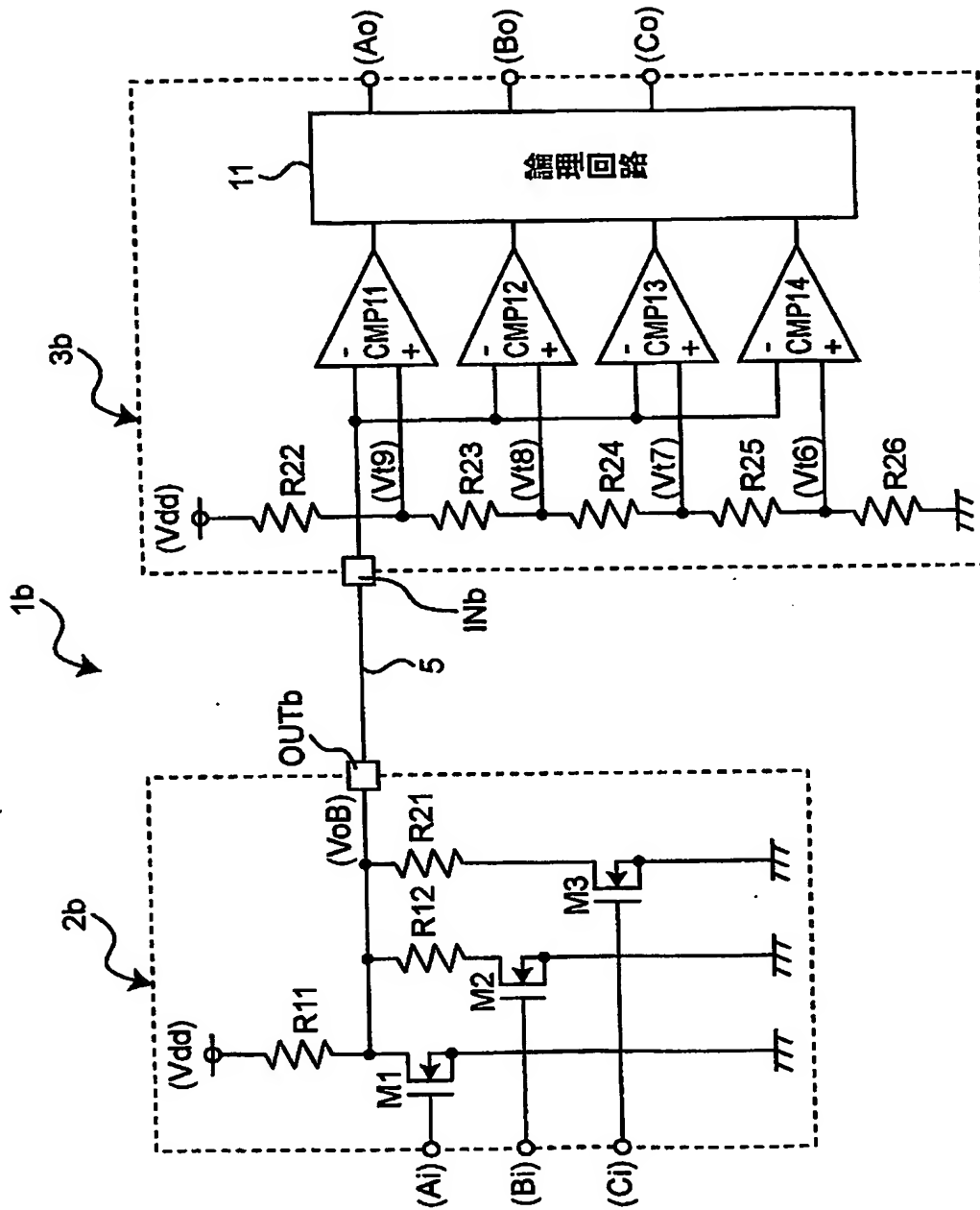
【図3】



【図 6】



【図 7】



【図 8】

状態	Ai(V)	Bi(V)	Ci(V)	VoB(V)
M5b	0	0	0	4(=V5b)
M4b	0	0	4	3(=V4b)
M3b	0	4	0	2.4(=V3b)
M2b	0	4	4	2(=V2b)
M1b	4	-	-	0(=V1b)

【書類名】 要約書

【要約】

【課題】 送信部でのパラレルーシリアル変換及び受信部でのシリアルーパラレル変換をそれぞれ行うことなく、1本の信号線で複数のデータを伝送することができる信号伝送装置を得る。

【解決手段】 送信部2で、各デジタル入力信号 A_i 及び B_i の振幅に所定の重み付けにしたがってそれぞれ電圧に変換し、該変換した電圧をすべて加算してそれぞれ異なる所定の電圧 $V_1 \sim V_4$ を生成して受信部3に伝送し、受信部3で送信部2からの信号に対して所定の基準電圧 $V_{t1} \sim V_{t3}$ との電圧比較を行い、該比較結果からデジタル入力信号 A_i と同じ出力信号 A_o を、デジタル入力信号 B_i と同じ出力信号 B_o をそれぞれ生成して出力するようにした。

【選択図】 図1

特願 2003-112916

出願人履歴情報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住所

東京都大田区中馬込1丁目3番6号

氏名

株式会社リコー